

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

---

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**



**(2) Japanese Patent Application Laid-Open No. 2-12823 (1990)**  
**"SEMICONDUCTOR DEVICE"**

The following is an extract relevant to the present application.

The invention disclosed in the above reference relates to an improvement of a plane structure of a semiconductor device. As shown in Fig. 1, a gate electrode overlaps an element isolation insulating film by "a", and the width (L) of an end portion of the gate electrode is set greater than the width (l) of the gate electrode located on an active area.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A) 平2-12823

⑬ Int.Cl.<sup>8</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月17日

H 01 L 21/3205  
29/7846824-5F H 01 L 21/88  
8422-5F 29/783 0 1 A  
G

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭63-162878

⑰ 出 願 昭63(1988)6月30日

⑱ 発 明 者 近 藤 俊 彦 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式  
会社内⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑳ 代 理 人 弁理士 上柳 雅 菅 外1名

## 明 細 書

## Ⅰ 発明の詳述な説明

## 【産業上の利用分野】

本発明は半導体装置の平面構造の改良に関する

## Ⅱ 発明の名称

半導体装置

## 【従来の技術】

従来の半導体装置の構造のトランジスタの平面図および断面図を第2図、第3図に示す。図中に於いて、1はアクティブ領域、2はゲート電極および、これと同じ配線層、3はSi基板、4は素子分離絶縁膜、5はゲート膜、であり、2はゲート膜、6はゲート電極の素子分離上でのオーバーラップ量であり、該ゲート電極2を形成するときのフォトリソグラフィ時の合わせ精度等により図4の様な状態つまり、ゲート電極の端部が能動素子領域1の中に入ってしまう、ソースおよびドレインが短絡ないし、パンチスルーなどを生じない様にするためのものである。

## Ⅲ 特許請求の範囲

- (1) 半導体基板上に形成された素子分離絶縁膜と、ゲート絶縁膜とゲート電極および配線層となるべき第一の配線層からなる半導体装置に於いて、該ゲート絶縁膜上に形成されたゲート電極となるべき該第一の配線層とこの延長上にあり、該素子分離絶縁膜上にある該第一の配線層の端部が該素子分離絶縁膜上に於いて、少なくとも前記ゲート電極の幅より広いことを特徴とする半導体装置。
- (2) 請求項1記載の半導体装置において、素子分離膜がシリコン基板に凹部を形成し、該凹部に絶縁膜を形成し埋めてなることを特徴とする半導体装置。



## 【発明が解決しようとする課題】

かかる従来構造に於いて、フォトリソグラフィ一時のライナーの性能つまり解像度によるが、微細化にともないマスク上では直角を示していたゲート電極端部の角が、丸くなりゲート長 $L$ が $1.5\mu$ 以下になるとはばゲート長 $L$ を直径とする半円形の形状を示す様になり $L=1.0\mu$ 前後以下となるとさらにこの傾向ははげしい。つまりゲート電極の素子分離領域上のオーバーラップ $\alpha$ はこの状況において、最悪の状態つまりゲート長 $L$ がパンチスルーし始めるギリギリの寸法になったとすると、 $\alpha=L/2$ に減少してしまうことになる。つまり逆に $\alpha$ を確保するためには $L/2$ だけこのオーバーラップ量を増やさなければならず、これが高集積化、大容量化の大きなネックとなった。

一方素子分離の方法が $1000\theta$ 方式の時には第1図(c)に示す様にマスク寸法 $W_{MASE}$ に対してパーズウィークと呼ばれる部分の分だけ絶縁素子領域の幅 $W$ は小さくなるものの、オーバーラップ量 $\alpha$ の実際の値はこの分だけ増え $\alpha+\delta$

となる。つまり従来条件での $\alpha=L/2$ との値をみると $(\sqrt{L^2-L^2}+L-L)/2$ となる。 $L=1.0$ と $L=1.5$ とすると $0.31\mu$ となりこの分だけ従来条件より縮小できることがわかる。また、図1(c)、(d)はそれぞれ第2の実施例のマスク上のパターンと実際のパターンを示す。これも第1の実施例と同様であることは容易にわかる。

## 【実施例】

本発明の実施例を第1図(c)~第1図(d)に示す。尚図中に於いて第2図~第4図中の符号と同一符号は同一又は相当部分を示す。

第1図(c)はゲート電極2の端部がゲート幅 $L$ より大きい $L$ となった場合を示すもので(c)はマスク上のパターン形状、(d)が実際のパターンの形状を示している。このときゲート電極端部は太くなっているの、従来構造と同様に半円状になるものの、実効的なオーバーラップ量は

$$\begin{aligned}\alpha &= (L/2 - \sqrt{(L/2)^2 - (L/2)^2}) \\ &= \alpha = (L - \sqrt{L^2 - L^2})/2\end{aligned}$$

となる。(図中に於いて $\delta$ はシリコン酸化膜、 $\gamma$ はシリコン窒化膜)しかし、微細化に伴いこのパーズウィークの分 $\delta$ が無視し得なくなり、 $\delta$ に溝を形成し絶縁物を埋める分層が用いられ始めて来た。かかる分層方式の場合絶縁素子領域の幅 $W$ はマスク寸法 $W_{MASE}$ に対してほぼ同一寸法に形成できるため、実質的には微細化に伴う素子分離方法の変更により、オーバーラップ量 $\alpha$ はさらに余裕が小さくなっていく、つまり一定の余裕の寸法をとるには余裕を捻ねなければならず問題となった。

本発明は以上の如き問題点を解決する半導体装置を提供することを目的とする。

## 【問題を解決するための手段】

本発明は、半導体基板上に形成された素子分離絶縁膜とゲート絶縁膜とゲート電極および配線層となるべき第一の配線層からなる半導体装置に於いて、該ゲート絶縁膜上に形成されたゲート電極となるべき第二の配線層とこの延長上にあり、

となる。つまり従来条件での $\alpha=L/2$ との値をみると $(\sqrt{L^2-L^2}+L-L)/2$ となる。 $L=1.0$ と $L=1.5$ とすると $0.31\mu$ となりこの分だけ従来条件より縮小できることがわかる。

また、図1(c)、(d)はそれぞれ第2の実施例のマスク上のパターンと実際のパターンを示す。これも第1の実施例と同様であることは容易にわかる。

以上の様に本構造を用いることにより、ゲート電極端部のオーバーラップ量をマスク上変更せずに実効的に長くし、余裕を持たせることができる。

このとき、本構造はマスクゲッターのみを変更すればできるため工面的な増加はなく簡単でありまた $L$ の値を適当に設定することにより、実効的なオーバーラップ量をコントロールできる。

【発明の効果】  
本発明の構造をとることにより、ゲート電極端部の素子分離絶縁膜の上でのオーバーラップ量の



特開平2-12823(3)

実効的な を大きくすることができ、アライメント時の余格の拡大あるいは、この部分の縮小による高密度化が実現できる。

## 4. 図面の簡単な説明

第1図(a)～(d)は本発明の説明図、第2図(a)～(d)および第3図(a)～(c)は従来技術の説明図であり、図中同一符号は同一箇所又は相当部分を示す。

- 1 …… アクティブ領域
- 2 …… ゲート電極となる第一の配線層
- 3 …… 半導体基板
- 4 …… 素子分離絶縁膜
- 5 …… ゲート絶縁膜
- 6 …… シリコン酸化膜
- 7 …… シリコン窒化膜
- a …… ゲート電極の素子分離絶縁膜上のオーバーラップ量
- L …… ゲート幅
- L' …… ゲート端部の寸法

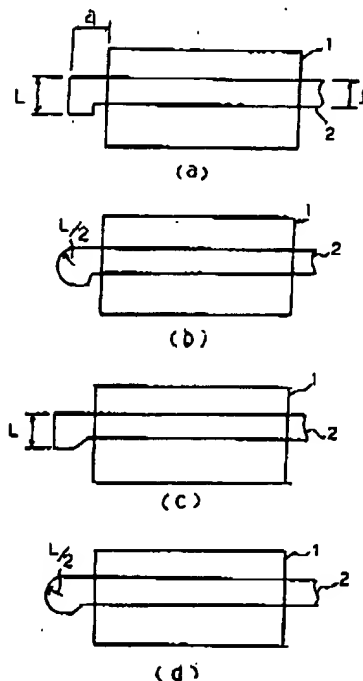


図 1

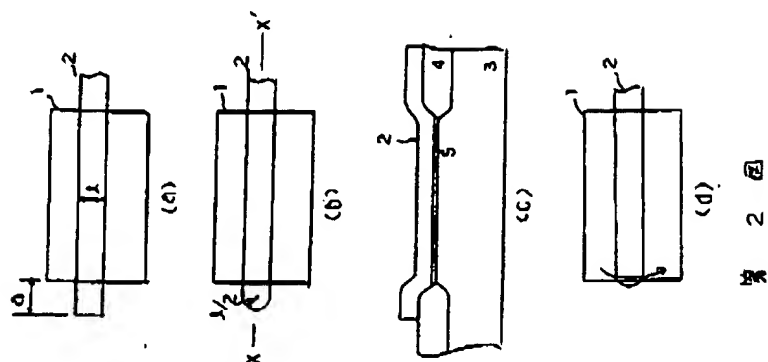


図 2



출력 일자: 2000/8/1

발송번호 : 9-5-2000-018913132

발송일자 : 2000.07.31

제출기일 : 2000.09.30

수신 : 서울특별시 서초구 양재동 275-7 KEC빌딩

17층

김창세 귀하

137-130

## 특허청 의견제출통지서

출원인                   성명 미쓰비시덴키 가부시카가이사 (출원인코드: 519980960919)  
                           주소 일본국 도쿄도 지요다구 마루노우치 2초메 2반 3고  
 대리인                   성명 김창세  
                           주소 서울특별시 서초구 양재동 275-7 KEC빌딩 17층  
 출원번호               10-1998-0029878  
 발명의 명칭           반도체 장치



(GP) → KE → HW(?)

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어서 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기기일까지 의견서 또는 보정서를 제출하여 주시기 바랍니다. (상기기일에 대한 연장은 매회 1월단위로 연장할 수 있으며, 별도의 기간연장승인 통지 는 하지 않습니다)

### [이유]

이 출원의 특허청구범위 제1항 내지 3항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에 서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

### [아래]

본원발명은 게이트전극의 마진부의 형상에 특징이 있는 반도체장치에 관한 것이나, 인용참증1(일본공개특허공보 평9-23009호(공개일 1997.01.21)), 인용참증2(일본공개특허공보 평2-12823호(공개일 1990.01.17)), 인용참증3(일본공개특허공보 평5-13449호(공개일 1993.01.22))에는 게이트전극의 마진부의 형상에 특징이 있는 반도체장치에 관한 설명이 나타나 있습니다.

본원의 게이트 끝부분의 형상을 길게, 굴곡부를 갖게, 또는 접속시키는 형상을 갖도록 구성하는 것은, 인용참증1 내지 3의 게이트 끝부분의 형상을 길게, 굴절부를 갖게, 또는 게이트를 접속시키는 구서를 갖게 하는 것과 유사하여, 본원의 청구범위 제1항 내지 3항의 반도체장치는 인용참증1 내지 3의 반도체장치에서 당분야의 통상의 지식을 가진자가 용이하게 발명할 수 있는 것으로 판단됩니다. (제29조2항)

### [참 부]

첨부 1 인용참증1(일본공개특허공보 평9-23009호)

첨부2 인용참증2(일본공개특허공보 평2-12823호)

첨부3 인용참증3(일본공개특허공보 평5-13449호)

끝.

2000.07.31

특허청 심사4국

심사관 김



&lt;&lt;안내&gt;&gt;

문의사항이 있으시면 ☎ 042-481-5985 로 문의하시기 바랍니다.